

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085641

(43)Date of publication of application : 25.03.1994

(51)Int.CI.

H03K 17/693

(21)Application number : 04-257358

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 31.08.1992

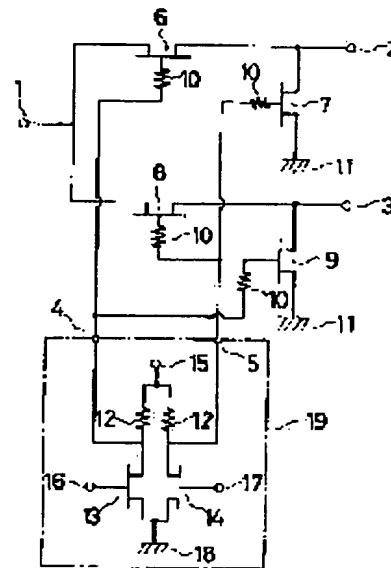
(72)Inventor : MIYATA TOMOYUKI

(54) MICROWAVE SWITCH

(57)Abstract:

PURPOSE: To make a switching action possible with input of the single control voltage and to simplify the configuration of a control circuit by building a symmetrical control signal production circuit consisting of a differential amplifier circuit into a circuit which inputs a control signal.

CONSTITUTION: A symmetrical control signal generating circuit 19 which consists of a differential amplifier circuit and generates a pair of inverted control signals is provided at the precedent stage of a pair of control terminals 4 and 5. Thus the voltage symmetrical to each other are applied to both terminals 4 and 5. Then the terminals 4 and 5 can drive an SPDT switch with input of the single control voltage. Furthermore one of both terminals 4 and 5 can be omitted for the SPDT switch. As a result, the configuration of the control circuit which generates the control voltage can be simplified.



LEGAL STATUS

[Date of request for examination] 19.12.1995

[Date of sending the examiner's decision of rejection] 08.12.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-85641

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵
H 0 3 K 17/693

識別記号 庁内整理番号
A 8221-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号 特願平4-257358

(22)出願日 平成4年(1992)8月31日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 宮田 智之

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス研究所内

(74)代理人 弁理士 早瀬 憲一

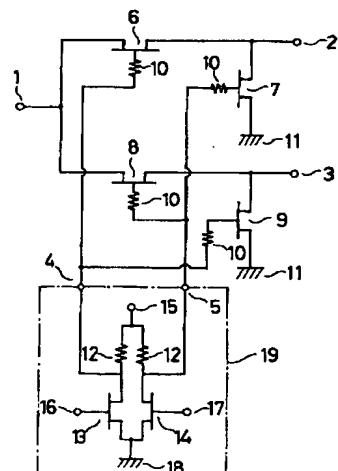
(54)【発明の名称】 マイクロ波スイッチ

(57)【要約】

【目的】 MMIC化SPDTスイッチの制御の簡略化を行う。

【構成】 SPDTスイッチの制御端子4, 5の前段に差動増幅回路等による対称制御電圧発生回路19を内蔵する。

【効果】 単一電源でSPDTスイッチを制御することが可能となると共に、スイッチの制御回路の簡略化を図ることができる。



- 1: 入力端子
2: #1#出力端子
3: #2#出力端子
4: #1#制御端子
5: #2#制御端子
6: #1#路スイッチFET
7: #1#路停止FET
8: #2#路スイッチFET
9: #2#路停止FET
10: 差動増幅回路よりなる
対称制御電圧発生回路
11: 12: 13: 14: 15: 16: 17: 18: 19:

1

2

【特許請求の範囲】

【請求項1】 モノリシックマイクロ波集積回路(MMIC)により構成されるSPDT(Single Pole, Double Throw)スイッチにおいて、

該SPDTスイッチの制御信号入力部に、制御信号入力に対し、正転出力と反転出力とからなる対称な制御電圧を発生する対称制御電圧発生回路を内蔵したことを特徴とするマイクロ波スイッチ。

【請求項2】 上記対称制御電圧発生回路は、差動増幅回路からなるものであることを特徴とする請求項1記載のマイクロ波スイッチ。

【請求項3】 上記対称制御電圧発生回路は、インバータ回路を有してなるものであることを特徴とする請求項1記載のマイクロ波スイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はマイクロ波スイッチに関し、特にMMIC(Microwave Monolithic Integrated Circuit)におけるSPDT(Single Pole, Double Throw)スイッチの構成方法に関するものである。

【0002】

【従来の技術】 従来のSPDTスイッチの構成図を図4に示す。SPDTスイッチは単一の入力端子への入力を、2つの信号線路の出力端子のいずれかに切り換えて出力するための高周波スイッチである。図4において、1は单一の入力端子、2は第1の系路の出力端子、3は第2の系路の出力端子、6は第1の信号線路をON, OFFする第1系路スイッチFET、7は第1の系路の出力を接地する第1系路接地FET、8は第2の信号線路をON, OFFする第2系路スイッチFET、9は第2系路の出力を接地するための第2系路接地FET、4は第1のFET6のゲートに接続された第1の制御端子、10はゲート抵抗、5は第2のFET8のゲートに接続された第2の制御端子、11は接地である。

【0003】 次に動作について説明する。MMICに用いられるFETには、ノーマリオン形FETがよく用いられる。ノーマリオン形FETは、ゲート端子に0Vが印加されるとドレイン端子-ソース端子間が導通し、FETがON状態となる。ゲート端子にピンチオフ電圧 V_p (例えは-5V)を印加するとドレイン端子-ソース端子間は非導通となり、FETはOFF状態となる。

【0004】 図4の回路において、制御端子4に0Vを、制御端子5に V_p を印加すると、第1系路スイッチFET6及び第2系路接地FET9がON状態となり、第2系路スイッチFET8及び第1系路接地FET7がOFF状態となるので、入力端子1と第1の出力端子2との間が導通し、入力端子1と第2の出力端子3との間が非導通となり、入力信号が第1の出力端子2に出力される。

【0005】 次に、制御端子4に V_p を、制御端子5に

0Vを印加すると、第1系路スイッチFET6及び第2系路接地FET9がOFF状態となり、第1系路接地FET7及び第2系路スイッチFET8がON状態となるので、入力端子1と第2の出力端子3との間が導通し、入力端子1と第1の出力端子2との間が非導通となり、出力信号は第2の出力端子3に出力される。

【0006】 以上のように、第1の制御端子4及び第2の制御端子5に、お互いに対称に0V及び V_p を印加することによって、入力端子1に入力した高周波信号を、第1の出力端子2と、第2の出力端子3のいずれかに切り換えて出力することができる。

【0007】

【発明が解決しようとする課題】 従来のSPDTスイッチは以上のように構成されているので、スイッチを駆動するためには、互いに対称な電圧を得ることのできる2系統の制御電圧を必要としていた。

【0008】 この発明は上記のような問題点を解消するためになされたもので、対称な2系統の制御信号を必要とせず、1系統の制御電圧で駆動することのできるマイクロ波用SPDTスイッチを得ることを目的とする。

【0009】

【課題を解決するための手段】 この発明に係るSPDTスイッチは、一対の制御端子の前段に、入力制御信号から正転、反転の一対の制御信号を作成する差動増幅回路等の対称制御信号作成回路を内蔵したものである。

【0010】

【作用】 この発明においては、SPDTスイッチでは、制御端子4と制御端子5には互いに対称な電圧が印加されることに着目し、対称制御信号作成回路により単一制御電圧入力から対称な2系統の電圧を発生し、SPDTスイッチの第1の制御端子4と第2の制御端子5とに印加するから、単一制御電圧でSPDTスイッチを駆動することができる。

【0011】

【実施例】 実施例1. 図1は本発明の一実施例によるSPDTスイッチを示す。図1において、1ないし11は従来例と同じものを示す。13, 14は差動増幅回路19を構成する一対のFET、12は各FET13, 14のドレイン抵抗、15は両FET13, 14のドレイン電圧端子、16, 17は上記両FET13, 14のゲートに接続された差動構成のゲート電圧端子、18は接地であり、19は差動増幅回路よりなる対称制御電圧作成回路である。

【0012】 次に動作について説明する。上記差動増幅回路19において、ドレイン電圧端子15に V_{cc} 、ゲート電圧端子16に V_1 、ゲート電圧端子17に V_2 を印加したとき、端子4及び端子5に発生する電圧をそれぞれ V_3 , V_4 とすると、各端子の電圧の関係は図2となる。

【0013】 図2に示されるように、差動増幅回路はF

E T 1 3 及び F E T 1 4 のゲート電圧の差 ($V_1 - V_2$) によって、端子 4 及び端子 5 の電圧が変化する。今、 $V_4 = V_{cc}$, $V_3 = 0V$ となる ($V_1 - V_2$) を $+V_5$, $V_4 = 0V$, $V_3 = V_{cc}$ となる電圧 ($V_1 - V_2$) を $-V_5$ とする。端子 1 6 と端子 1 7 の間の電位差を $+V_5$ に設定すると端子 4 に V_{cc} が、端子 5 に $0V$ が発生する。逆に、端子 1 6 と端子 1 7 の間の電位差を $-V_5$ に設定すると、端子 4 に $0V$ が、端子 5 に V_{cc} が発生する。

【0014】よって、端子 1 5 に印加する V_{cc} を F E T 6, 7, 8, 9 のピンチオフ電圧 V_p に設定し、端子 1 7 を $+V_5$ に固定し、端子 1 6 を $0V$ と $2 \times (+V_5)$ ことで切り換えると、端子 4 及び 5 には端子 1 6 の状態によって $0V$ もしくは V_p が発生する。すなわち、端子 1 6 への一つの電圧の制御によって、S P D T を駆動するのに必要な 2 種類の電圧を得ることができる。

【0015】従って、以上のように各端子の電圧を設定し、1 つの電圧の制御により対称な制御信号を出力端子 4, 5 に発生する差動增幅回路 1 9 を内蔵して S P D T スイッチを M M I C により構成することにより、単一電源で制御可能な S P D T スイッチを実現することができる。またこの際、この S P D T スイッチの制御端子を 1 つに削減することができるので、制御電圧を発生させる制御回路の構成を簡略化することができる効果もある。

【0016】実施例 2. 図 3 は、本発明の第 2 の実施例による S P D T スイッチを示す。2 0 はインバータ回路、2 1 は制御電圧入力端子、2 2 は端子 2 1 への信号より端子 4, 5 に対称な制御信号を発生する対称制御電圧発生回路である。本実施例のように、端子 4, 5 の前段にインバータ回路 2 0 を内蔵すると、端子 2 1 に $0V$ を印加した場合、端子 4 には $0V$ 、端子 5 には V_p が印加される。逆に、端子 2 1 に V_p を印加した場合、端子 4 には V_p 、端子 5 には $0V$ が印加される。従って、単一電源で S P D T スイッチを制御するのに必要な 2 系統の電圧を得ることができ、単一電源で制御可能な S P D T スイッチが実現される。また制御電圧を発生する回路の構成も非常に簡略化することができる。

【0017】

【発明の効果】以上のように、この発明によれば、M M I C 化 S P D T スイッチにおいて、制御信号を入力する回路に差動增幅回路等の対称な制御電圧を作成する回路を内蔵したので、単一制御電圧入力で、スイッチング動作をさせることができになる効果がある。また、S P D T スイッチの制御電圧を発生する制御回路の構成を簡略化することができる利点をも有する。

【図面の簡単な説明】

【図 1】本発明の一実施例による S P D T スイッチを示す回路図。

【図 2】差動增幅回路による対称制御電圧発生回路の動作を示す図。

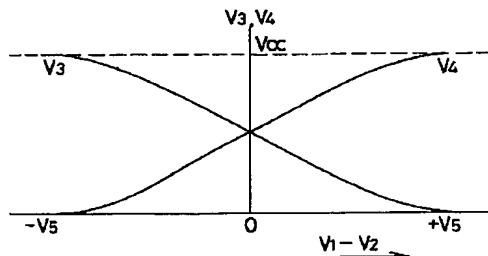
【図 3】本発明の第 2 の実施例による S P D T スイッチを示す回路図。

【図 4】従来の S P D T スイッチを示す回路図。

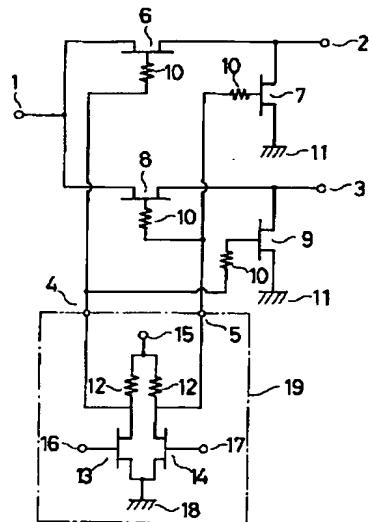
【符号の説明】

- | | |
|----|---------------------|
| 1 | 入力端子 |
| 2 | 出力端子 |
| 3 | 出力端子 |
| 4 | 制御端子 |
| 5 | 制御端子 |
| 6 | 第 1 系路スイッチ F E T |
| 7 | 第 1 系路接地 F E T |
| 8 | 第 2 系路スイッチ F E T |
| 9 | 第 2 系路接地 F E T |
| 10 | ゲート抵抗 |
| 11 | 接地 |
| 12 | ドレイン抵抗 |
| 13 | F E T |
| 14 | F E T |
| 15 | ドレイン電圧端子 |
| 16 | ゲート電圧端子 |
| 17 | ゲート電圧端子 |
| 18 | 接地 |
| 19 | 差動增幅回路による対称制御電圧発生回路 |
| 20 | インバータ回路 |
| 21 | 制御電圧入力端子 |
| 22 | 対称制御電圧発生回路 |

【図 2】

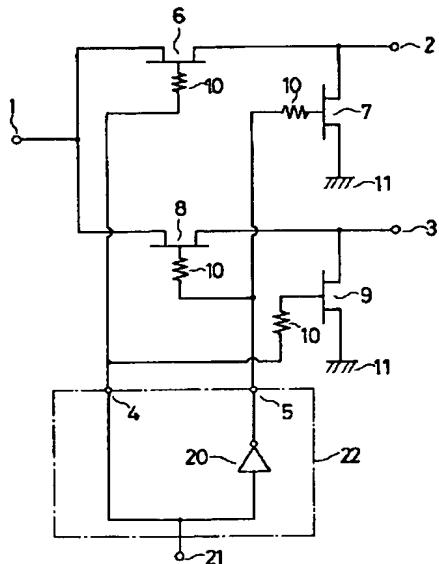


【図1】



1: 入力端子
2: Φ1の出力端子
3: Φ2の出力端子
4: Φ1の制御端子
5: Φ2の制御端子
6: Φ1系スイッチFET
7: Φ1系接地FET
8: Φ2系スイッチFET
9: Φ2系接地FET
10: 駆動增幅回路よりなる
対称制御電圧発生回路

【図3】



20: インバータ回路
21: 制御電圧入力端子
22: 対称制御電圧発生回路

【図4】

